

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-177298

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

H04N 1/028

G08C 19/32

H03M 9/00

(21)Application number : 05-316980

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 16.12.1993

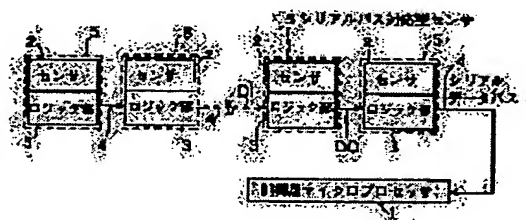
(72)Inventor : HAYASHI SHUJI

(54) SENSOR SYSTEM

(57)Abstract:

PURPOSE: To greatly reduce wire harness, reduce the size of application software, and make the substrate area small by coupling plural sensors with a control microprocessor by a serial bus.

CONSTITUTION: Data read by sensors 2 of serial adaptive type sensors 5 are held by logic 3 coupled through the serial bus 4. The data held by the logic 3 are sent sequentially by the serial bus 4 through the storage part of the logic 3 and sent as serial data to the control microprocessor 1. With this constitution, the electric conductors connecting the sensors 2 and microprocessor 1 are decreased and the low-cost sensor system which is small in circuit area is obtained.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-177298

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/028	A			
G 0 8 C 19/32				
H 0 3 M 9/00	B	9382-5 J		

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平5-316980

(22) 出願日 平成5年(1993)12月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 林 修 司

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

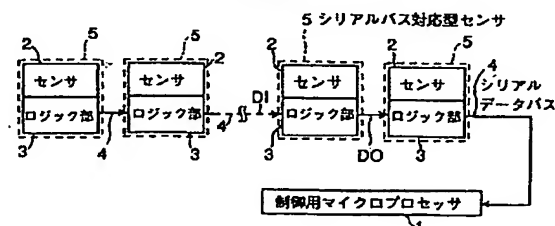
(54) 【発明の名称】 センサシステム

(57) 【要約】

【目的】 複数のセンサをシリアルバスで制御用マイクロプロセッサに結合することにより、ワイヤーハーネスの大幅な削減と、アプリケーションの小型化、基板面積の縮小によるコストダウンを可能にする。

【構成】 複数のセンサ2と、センサ2の出力データを保持するべくセンサ2に近接して設けられるロジック3と、ロジック3をシリアルに制御用マイクロプロセッサ1に結合するシリアルデータバス4とを備え、複数のセンサ2の出力データをセンサ2に近接して設けられるロジック3に保持させ、ロジック3のデータをシリアルデータバス4を通じてシリアルに制御用マイクロプロセッサ1に伝送することにより、複数のセンサ2と制御用マイクロプロセッサ1の間を少ない配線量でデータ結合する。

一実施例



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】直列に接続された複数のセンサ体とマイクロプロセッサとを有し、

前記各センサ体は、

物理量を検出するためのセンサと、

このセンサから出力されるセンスデータを一時的に保持するデータ保持手段と、

このデータ保持手段中のデータを外部へ出力する出力端と、

このデータ保持手段中にデータを伝える入力端と、

を有し、

前記センサ体における前記出力端は次段における前記センサ体の前記入力端に接続され、前記センサ体における前記入力端は、前段における前記センサ体の前記出力端に接続され、最終段の前記センサ体の前記出力端は前記マイクロプロセッサのデータ入力端に接続されており、さらに、前記各センサ体の前記各データ保持手段に保持したセンスデータを、次段の前記センサ体における前記データ保持手段に転送させると共に、この転送の動作を繰り返させて、最終段の前記センサ体からセンスデータを順次シリアルに前記マイクロプロセッサに転送させる、データシフト制御を行う、制御手段を有する、センサシステム。

【請求項 2】前記各センサ体において、前記入力端は第 1 スイッチング手段を介して、前記センサのデータ出力端は第 2 スイッチング手段を介して、それぞれ前記データ保持手段の入力端に接続されており、前記制御手段は、基準信号に同期して前記第 1、第 2 スイッチング手段を制御するものである、請求項 1 に記載のセンサシステム。

【請求項 3】前記データ保持手段はフリップフロップであり、前記制御手段は前記基準信号に同期して前記スイッチング手段を制御するシーケンスジェネレータである、請求項 2 の記載のセンサシステム。

【請求項 4】前記各センサ体及び前記マイクロプロセッサは、共に、同一の電源線から電力が供給され、且つ同一の基準信号線から基準信号が供給される、請求項 1 ～ 3 項の 1 つに記載のセンサシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はセンサシステム、特に複写機やファクシミリ等のように原稿読み取り用に複数のセンサを有するセンサシステムに関する。

【0002】

【従来の技術】図 5 は従来のセンサ結合装置の概略構成図である。図 1 に示すように、複数のセンサ 2 が配置されており、それらの出力は個々に制御用マイクロプロセッサ 1 に加えられる。

【0003】以上のような構成において、制御用マイクロプロセッサ 1 は複数のセンサ 2 からのデータを個々に

読み取り、必要な処理、例えば、複写機の場合は印刷部の制御、ファクシミリの場合は送信のための制御等を行う。

【0004】なお、図 5 の構成の場合、制御用マイクロプロセッサ 1 とセンサ 2 との間は直接接続しているので、制御用マイクロプロセッサ 1 からセンサ線がセンサ 2 の数だけ配線されることになる。また、各センサ 2 には Vcc、GND、DATA の 3 本の線が必要である。そして、センサ 2 は制御用マイクロプロセッサ 1 との間で直接通信していた。

【0005】

【発明が解決しようとする課題】従来のセンサ結合装置は以上のように構成されていたので、制御用マイクロプロセッサ 1 とセンサ 2 の間に膨大な量のワイヤーハーネス（センサ 2 の数の 3 倍）が必要であった。また、センサ 2 からのデータを受け取るポート等の制御回路やコネクタのピン等がセンサ 2 の数に対応する数だけ必要になっていた。

【0006】このため、アプリケーションの小型化ができず、またハーネスの加工に伴う工数、コストの増大、制御回路の増大や基板面積の拡大によるコストアップも無視できない問題となっていた。

【0007】本発明は上記に鑑みてなされたもので、その目的は、ワイヤーハーネスの大幅な削減と、アプリケーションの小型化、基板面積の縮小可能なセンサシステムを提供することにある。

【0008】

【課題を解決するための手段】本発明の第 1 のセンサシステムは、直列に接続された複数のセンサ体とマイクロプロセッサとを有し、前記各センサ体は、物理量を検出するためのセンサと、このセンサから出力されるセンスデータを一時的に保持するデータ保持手段と、このデータ保持手段中のデータを外部へ出力する出力端と、このデータ保持手段中にデータを伝える入力端と、を有し、前記センサ体における前記出力端は次段における前記センサ体の前記入力端に接続され、前記センサ体における前記入力端は、前段における前記センサ体の前記出力端に接続され、最終段の前記センサ体の前記出力端は前記マイクロプロセッサのデータ入力端に接続されており、さらに、前記各センサ体の前記各データ保持手段に保持したセンスデータを、次段の前記センサ体における前記データ保持手段に転送させると共に、この転送の動作を繰り返させて、最終段の前記センサ体からセンスデータを順次シリアルに前記マイクロプロセッサに転送させる、データシフト制御を行う、制御手段を有する、ものとして構成される。

【0009】本発明の第 2 のセンサシステムは、第 1 のセンサシステムにおいて、前記各センサ体において、前記入力端は第 1 スイッチング手段を介して、前記センサのデータ出力端は第 2 スイッチング手段を介してそれぞ

れ前記データ保持手段の入力端に接続されており、前記制御手段は、基準信号に同期して前記第1、第2スイッチング手段を制御するものとして構成される。

【0010】本発明の第3のセンサシステムは、第2のセンサシステムにおいて、前記データ保持手段はフリップフロップであり、前記制御手段は前記基準信号に同期して前記スイッチング手段を制御するシーケンスジェネレータであるものとして構成される。

【0011】本発明の第4のセンサシステムは、第1〜3の1つのセンサシステムにおいて、前記各センサ体及び前記マイクロプロセッサは、共に、同一の電源線から電力が供給され、且つ同一の基準信号線から基準信号が供給されるものとして構成される。

【0012】

【作用】各センサ体において、自己のセンサが検出されたセンサデータが、自己のデータ保持手段に保持される。制御手段の制御により、各センサ体中のセンサデータは次段のセンサ体に転送される。この動作が繰り返されて、最終段のセンサ体からセンサデータがシリアルにマイクロプロセッサに伝えられる。

【0013】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。図1は本発明の一実施例に係るセンサ結合装置の概略構成図である。図において示すように、制御用マイクロプロセッサ1に、シリアルデータバス4を介して、シリアルバス対応型センサ（センサ体）5が複数個直列に接続される。シリアルバス対応型センサ5はセンサ2とロジック3を有し、ロジック3がシリアルデータバス4に接続される。このセンサ2は、光量等の各種の物理量を検出するためのものである。

【0014】以上のような構成において、次にその動作を説明する。シリアルバス対応型センサ5はセンサ2とロジック3部を隣接して配置した構成となっている。センサ2で読み取られたデータはロジック3中の格納部に保持される。ロジック3はシリアルデータバス4を通じて連結されている。上記の保持されたデータは、順次、シリアルデータバス4を通じて、ロジック3の格納部を経由して送られ、制御用マイクロプロセッサ1にシリアルなデータとして送り込まれる。

【0015】以上のようにして、制御用マイクロプロセッサ1に送られたデータはここで目的に応じて処理される。

【0016】図2は図1のシリアルバス対応型センサ5の詳細な構成を示すブロック図である。図2に示すように、クロックCLKは1本のクロックラインc1を通じて全てのシリアルバス対応型センサ5に共通に送られる。また、グラウンド電位GNDも1本のグラウンドラインg1を通じて全てのシリアルバス対応型センサ5に共通に接続される。同様に、電源電位Vccも1本のVccラインv1を通じて全てのシリアルバス対応型センサ5

に共通に供給される。センサ2は電源電位、Vccとグラウンド電位GNDによって電源供給され、センサデータ出力SDOを、トランスファークゲート8を通じて、フリップフロップ6に与えている。フリップフロップ6のデータ入力Dは、トランスファークゲート9を介して、シリアルデータバス4のデータIN側に接続されている。フリップフロップ6のデータ出力Qは、シリアルデータバス4のデータOUT側に接続される。

【0017】各シリアルバス対応型センサ5のデータINは、前段のシリアルバス対応型センサ5のデータOUTに連結され、最終段のシリアルバス対応型センサ5のデータOUTは制御用マイクロプロセッサ1に加えられる。クロックCLKはシーケンスジェネレータ7に供給される。シーケンスジェネレータ7からトランスファークゲート8、9を制御するためのシーケンス制御信号Aが出力される。この信号Aは、センサ2からのデータ出力SDOのトランスファークゲート8を介してのフリップフロップ6への取り込みと、トランスファークゲート9によるシリアルデータバス4のデータINからのデータの、データOUTへの転送を制御している。

【0018】図3はシリアルバス対応型センサ5をより多くした実際の装置における全体系統図である。図3から明らかなように、シリアルバス対応型センサ5（1-1）〜5（1-N）はシリアルデータバス4（SD1）によってプロセッサ1に連結される。一方、シリアルバス対応型センサ5（2-1）〜5（2-N）はシリアルデータバス4の（SD2）によってプロセッサ1に連結される。以下同様である。つまり、Mチャンネルのパレレルのシリアルデータバス4（SD1〜SDM）によって、センサ2（1-1）〜2（M-N）に対応するデータが制御用マイクロプロセッサ1に結合される。一方、各シリアルバス対応型センサ5にはCLK、Vcc、GNDが別々の線によって供給される。シリアルデータバス4を通じて取り込まれたデータは、制御用マイクロプロセッサ1のRAM10に格納される。

【0019】以上述べたような構成において、次にその動作を、図4のタイミングチャートに従って説明する。ちなみに、同図（A）はクロックCLK、（B）はシリアルデータバス4（SD1）の状態、（C）はシリアルデータバス4（SD2）の状態、（D）はシリアルデータバス4（SDM）の状態をそれぞれ示すものである。なお、S0、S1はスタートビット、Eはエンドビット、D1、D2、DNは入力データである。

【0020】まず、各シリアルバス対応型センサ5において、クロックCLKのA点でセンサ2のデータをロジック3内のフリップフロップ6に送る。その後のクロックCLKの立ち上がりであるB点で、各センサ5（M-N）のロジック3内のフリップフロップ6のデータを、次段のセンサ5〔M-（N-1）〕にシフトする。つまり、このシフト動作は、図3に示すM行のセンサ列のそ

れそれぞれにおいて、ほぼ同時に行われる。そして、各行のセンサ列における上記のシフト動作は、各行を構成するセンサ5の数Nに対応したN回だけ行われる。これは、クロックCLKのB点の数に対応する。以上の、シフト動作を通じて、シリアルバス対応型センサ5の全てのデータが制御用マイクロプロセッサ1のRAM10に取りこまれる。最後に、クロックCLKのC点に対応してエンドビットEを制御用マイクロプロセッサ1に送り、1サイクルのデータの転送を終了する。

【0021】さて、以上の動作において、各シリアルバス対応型センサ5のロジック3に組み込まれたシーケンスゼネレータ7は、クロックCLKがある一定の期間Hレベルであると、これをスタートビットS0としてとらえ、シーケンス制御信号AはLレベルとなり、センサ2のセンスデータ出力がトランスファークロップ8を通じてフリップフロップ6に接続される。次に、クロックCLKのスタートビットS0のエッジを捕らえて、センサ2のセンスデータがロジック3のフリップフロップ6に取りこまれる。

【0022】次に、クロックCLKのスタートビットS1における、次のクロックCLKのエッジを捕らえて、シーケンスゼネレータ7はシーケンス制御信号AをHレベルとする。その結果、トランスファークロップ8が閉じてトランスファークロップ9が開くので、シリアルデータバス4のデータINがフリップフロップ6の入力に接続され、フリップフロップ6の出力がデータOUTに接続される。つまり、シリアルデータバス4を介してシリアルバス対応型センサ5のフリップフロップ6が直列に連結された状態となる。

【0023】次のクロックCLKからは、フリップフロップ6はクロックCLKに同期して保持したデータをシリアルデータバス4を経由して、次の段のシリアルバス対応型センサ5のフリップフロップ6に転送すると共に前の段のシリアルバス対応型センサ5のフリップフロップ6からのデータを取りこむ。このような動作を通じて、シリアルバス対応型センサ5のデータはクロックCLKに同期してシリアルデータバス4を転送され、最終的に制御用マイクロプロセッサ1のRAM10に取りこまれ、格納される。

【0024】以上のようにして、全てのシリアルバス対応型センサ5からのデータが制御用マイクロプロセッサ1のRAM10に転送されると、制御用マイクロプロセッサ1は目的に応じてデータ処理する。

【0025】以上の処理を行うために、必要な配線は、各シリアルバス対応型センサ5毎にクロックCLK、電源電位Vcc、接地電位GNDを伝える配線と、シリアルデータバス4だけである。制御用マイクロプロセッサ1から見れば、1本ないし複数本のシリアルデータバス4を通じて、全てのシリアルバス対応型センサ5からのデータを取りこむことができる。

【0026】その結果、従来に比べて配線量を大幅に低減することができる。これにより、コネクタの減少、センサからデータを受け取るボード等の制御回路の削減、制御回路削減による基板面積の縮小等のメリットがある。

【0027】上記のシリアルバス対応型センサ5は、従来のフォトインタラプタ等のセンサ内の基盤部分に、ロジック部3のハードウェアを載せた状態に取り付けるだけで構成可能である。

【0028】更に、センサ2の数を変更する場合も、ハードウェアの変更が少なく済み、制御用マイクロプロセッサ1のソフトウェアで大部分の対応が可能のため、システムの変更が容易に実施できる。また、センサの数や種類が異なっても、同様のシステム構成が適用できるので、コネクタの共通化等の標準化が容易である。

【0029】なお、上記実施例では、センサとして複写機やファクシミリで原稿読み取りに用いられる光センサの場合を例示したが、本発明の実施はこれに限定されるものではなく、物理的なセンサ、その他の物理量を測るセンサ等、各種のセンサが適用可能であることは言うまでもない。

【0030】以上述べたように、本発明の実施例によれば、多数のセンサをマイクロプロセッサに接続するに当たり、各センサからのデータを先ずロジック部で受け、それらのロジック部間及び最終的のロジック部とマイクロプロセッサの間をシリアルデータバスで提供するようにしたので、配線数を大幅に低減し、制御回路や基板の小型化、ローコスト化を実現できる。

【0031】

【発明の効果】本発明によれば、各センサ体を直列に接続し、各センサ体におけるセンスデータを順次次段のセンサ体にシフトさせるようにしたので、センサ体とマイクロプロセッサとを接続する配線を数の少ないものとし、これにより回路面積の小さなローコストの製品を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るセンサ結合装置の概略構成図である。

【図2】図1の構成のシリアルバス対応型センサの詳細な構成のブロック図である。

【図3】図2の構成を組み合わせた全体系統図である。

【図4】図1、図2、図3の動作を説明するためのタイミングチャートである。

【図5】従来のセンサ結合装置の概略構成図である。

【符号の説明】

- 1 制御用マイクロプロセッサ
- 2 センサ
- 3 ロジック
- 4 シリアルデータバス
- 5 シリアルバス対応型センサ

(5)

特開平7-177298

7

8

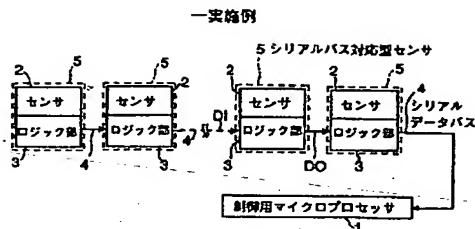
6 フリップフロップ

* 8、9 トランスファーゲート

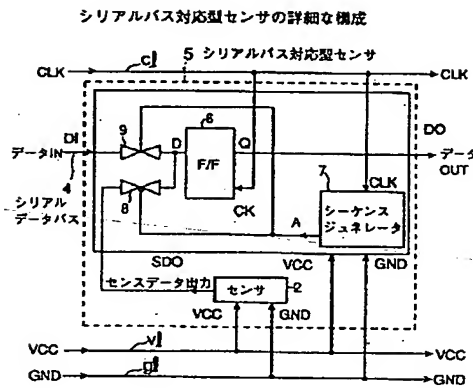
7 シーケンスジェネレータ

* 10 RAM

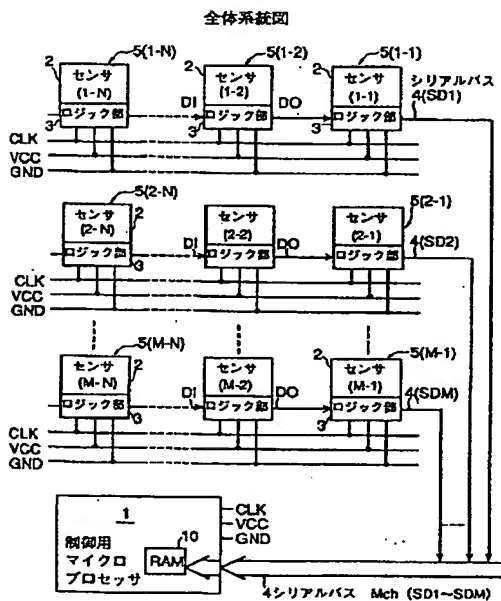
【図1】



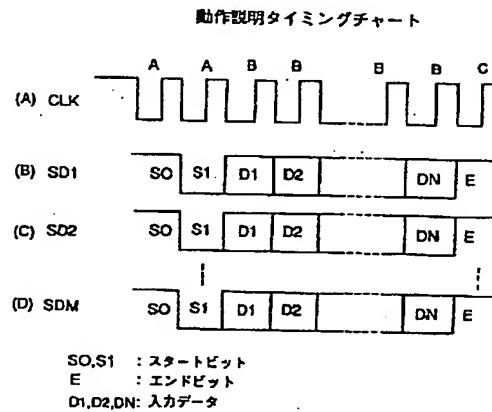
【図2】



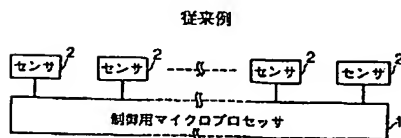
【図3】



【図4】



【図5】



BEST AVAILABLE COPY